

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-216023  
(43)Date of publication of application : 24.09.1991

---

(51)Int.Cl. H03M 1/36

---

(21)Application number : 02-012370 (71)Applicant : YOKOGAWA ELECTRIC CORP  
(22)Date of filing : 22.01.1990 (72)Inventor : TAKAGI MASATO

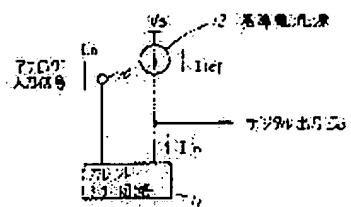
---

## (54) A/D CONVERTER

### (57)Abstract:

**PURPOSE:** To obtain this A/D converter suitable for ultrahigh speed operation and offering the ease of drive by providing a current mirror circuit comparing an input analog current with the reference current of each reference current source.

**CONSTITUTION:** The converter is provided with a current mirror circuit 11 receiving an input analog current at its input terminal and plural reference current sources 12 connected respectively to plural output terminals of the current mirror circuit 11, and the input analog current and the reference current of each reference current source are compared to output a voltage at each output terminal of the current mirror circuit 11 as a digital signal. That is, an H level is outputted from each output terminal of the current mirror circuit 11 in a range where a reference current is larger than the input analog current and an L level is outputted as a digital signal in a range where the reference current is smaller than the input analog current. Thus, the converter is suitable for high-speed operation and the drive is facilitated.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

## ⑫ 公開特許公報 (A) 平3-216023

⑬ Int. Cl.

H 03 M 1/36

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月24日

9065-5J

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 A/D変換器

⑯ 特願 平2-12370

⑯ 出願 平2(1990)1月22日

⑰ 発明者 高木 真人 東京都武蔵野市中町2丁目9番32号 横河電機株式会社内

⑰ 出願人 横河電機株式会社 東京都武蔵野市中町2丁目9番32号

⑰ 代理人 弁理士 小沢 信助

## 明細書

## 1. 発明の名称

A/D変換器

## 2. 特許請求の範囲

入力端子に入力アナログ電流が印加されるカレントミラー回路と、このカレントミラー回路の複数の出力端子にそれぞれ接続された複数の基準電流源とを備え、入力アナログ電流値と各基準電流源の基準電流値とを比較することにより、カレントミラー回路の各出力端子の電圧をデジタル信号として出力するように構成したことを特徴とするA/D変換器。

## 3. 発明の詳細な説明

## &lt;産業上の利用分野&gt;

本発明は、並列型A/D変換器の新方式に関するものである。

## &lt;従来の技術&gt;

第4図は従来の並列型A/D変換器の一例で、8ビットの場合を示す構成ブロック図である。アナログ入力電圧 $V_{in}$ は基準電圧 $V_{ref}^+$ と $V_{ref}^-$

の間を抵抗分圧した電圧と比較器1～256で比較され、エンコーダ1から8ビットのデジタル出力を発生する。このような並列型A/D変換器は一般に高速変換動作に適している。

## &lt;発明が解決しようとする課題&gt;

しかしながら、さらに入力信号の周波数が高くなると、次のような問題が生じる。すなわち、一般に出力ビット数をnビットとすると、信号入力端子には $(2^n - 1)$ 個の比較器が接続されるので、入力容量は数10pF程度になる。今入力信号周波数fが1GHz、入力容量Cが50pFとすると、その入力インピーダンス $Z_{in}$ は

$$Z_{in} = 1 / 2 \pi f C$$

$$= 1 / (2 \pi \cdot 1 \text{GHz} \cdot 50 \text{pF})$$

$$= 3 \Omega$$

となる。すなわち1V振幅で300mAを流す必要があり、このA/D変換器をドライブすることは非常に困難である。

本発明は上記の問題を解決するためになされたもので、超高速動作に適し、ドライブが容易なA

D/A変換器を実現することを目的とする。

＜課題を解決するための手段＞

本発明に係るA/D変換器は入力端子に入力アナログ電流が印加されるカレントミラー回路と、このカレントミラー回路の複数の出力端子にそれぞれ接続された複数の基準電流源とを備え、入力アナログ電流値と各基準電流源の基準電流値とを比較することにより、カレントミラー回路の各出力端子の電圧をデジタル信号として出力するよう構成したことを特徴とする。

＜作用＞

カレントミラー回路の各出力端子からは入力アナログ電流より基準電流値が大きい範囲でHを出力し、入力アナログ電流値より基準電流値が小さい範囲でLをデジタル信号として出力する。

＜実施例＞

以下、図面を用いて本発明を詳しく説明する。

第1図は本発明に係るA/D変換器の原理的な構成を示す構成ブロック図である。11はカレントミラー回路、10はこのカレントミラー回路11の各出力端子から出力する複数の電流を重み付けする基準電流源である。

31, 32, … 3nはそれぞれの一端が正の電圧源Vsに接続し、それぞれの他端がカレントミラー回路20の各出力端子に接続する等しい出力値を持つ基準電流源である。

次に第2図の構成の装置の動作を詳しく説明する。第2図において、カレントミラー回路20の出力電流値の重み付けを

$$a_1 = 1, a_2 = 2, \dots a_n = n \text{ とすると、}$$

$$a_1 \cdot I_{in} < a_2 \cdot I_{in} < \dots < a_n \cdot I_{in}$$

となる。今

$$a_0 \cdot I_{in} < I_{ref} < a_{0+1} \cdot I_{in}$$

の関係を満たすIinが入力されたとき、カレントミラー回路20の各出力端子に電圧レベルの変化として生じるデジタル出力は

$$D_1 \sim D_n = H, D_{n+1} \sim D_{n+1} = L$$

となる。デジタル出力D1～Dnをエンコーデで変換することにより、バイナリコード出力のA/D変換器が実現できる。

第3図は本発明に係るA/D変換器の第2の実施例で、電流値が重み付けされた複数の電流源を

1の入力端子、12は一端が正の電圧源Vsに接続し他端がカレントミラー回路11の出力端子に接続する基準電流源である。

次に第1図の構成の装置の動作を詳しく説明する。第1図において、入力端子10に流入するアナログ入力電流Iinと基準電流Irefの間の大小関係に応じて、カレントミラー回路11の出力端子に生じる電圧レベルの変化がデジタル出力となる。デジタル出力D0は次のようになる。

$$I_{in} < I_{ref} \text{ のとき } D_0 = H \text{ (ハイレベル)}$$

$$I_{in} > I_{ref} \text{ のとき } D_0 = L \text{ (ローレベル)}$$

すなわち、カレントミラー回路11によりアナログ入力電流Iinと基準電流Irefの大小を比較することにより、第1図の回路は電流入力の1ビットのA/D変換器を構成する。

第2図は本発明に係るA/D変換器の第1の実施例で、カレントミラー回路が複数の重み付けされた電流出力を有するものを示す構成ブロック図である。20は入力端子10を有し、複数の重み付けされた電流を出力するカレントミラー回路、

50は入力端子10を有し、複数の等しい電流を出力するカレントミラー回路、61, 62, … 6nはそれぞれの一端が正の電圧源Vsに接続し、それぞれの他端がカレントミラー回路50の各出力端子に接続する出力電流値が重み付けされた複数の基準電流源である。

次に第3図の構成の装置の動作を詳しく説明する。第3図において、基準電流源61～6nの電流値の重み付けを

$$b_1 = 1, b_2 = 2, \dots b_n = n \text{ とすると、}$$

$$b_1 \cdot I_{ref} < b_2 \cdot I_{ref} < \dots < b_n \cdot I_{ref}$$

となる。今

$$b_0 \cdot I_{ref} < I_{in} < b_{0+1} \cdot I_{ref}$$

の関係を満たすIinが入力されたとき、カレントミラー回路50の各出力端子に電圧レベルの変化として生じるデジタル出力は

$$D_1 \sim D_n = L, D_{n+1} \sim D_{n+1} = H$$

となる。デジタル出力D1～Dnをエンコーデで変換することにより、バイナリコード出力のA

／D 変換器が実現できる。

上記の各実験例に示すような A/D 変換器によれば、カレントミラー回路の入力端子 10 に流入する入力電流はダイオード接続されたトランジスタのベースエミッタ間電圧  $V_{BE}$  以上の電圧を充電することはないので、通常の電圧入力型 A/D 変換器の場合と比べ、充電時間が短くてすみ、超高速動作が可能である。したがって入力容量の影響を小さくすることができドライブが容易となる。

なお第2図および第3図の実施例において、電流の重み付けは他の任意の組合せとすることができる。

また第1図の回路において、ディジタル出力端子と所定の電位の間にクランプダイオード等を接続してクランプ回路を設けることにより、電流源やカレントミラー回路を構成するトランジスタの飽和を防止し、高速化することができる。第2図、第3図の実施例においても同様である。

### ＜発明の効果＞

以上述べたように本発明によれば、超高速動作

に適し、ドライブが容易なA/D変換器を簡単な構成で実現することができる。

#### 4. 図面の簡単な説明

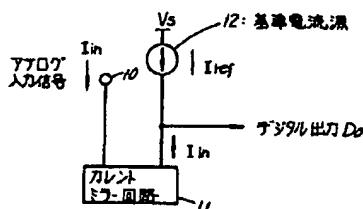
第1図は本発明に係るA/D変換器の原理構成を示す構成ブロック図、第2図は本発明に係るA/D変換器の第1の実施例を示す構成ブロック図、第3図は本発明に係るA/D変換器の第2の実施例を示す構成ブロック図、第4図は従来のA/D変換器を示す構成ブロック図である。

10…入力端子、11, 20, 50…カレント  
 ミラー回路、31～3n, 61～6n…基準電流  
 源、 $I_{in}$ …入力アナログ電流、 $I_{ref} \cdot b_1 \cdot I_{ref} \sim b_n \cdot I_{ref}$ …基準電流値、 $D_1 \sim D_n$ …  
 ディジタル信号。

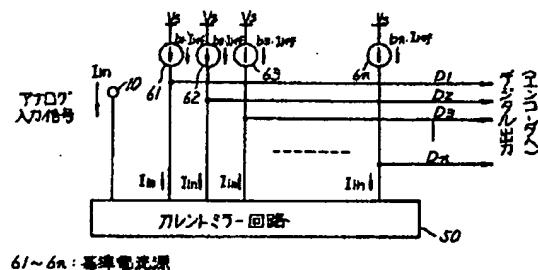
代理人弁理士 小沢信蔵

助

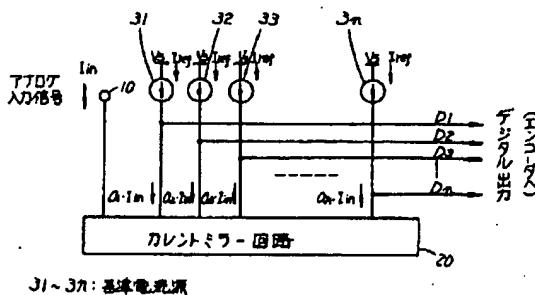
三 | 七



ପ୍ରତିକାଳୀନ



第二圖



#### 第 4 例

